


**Bus arbitration architecture incorporating deadlock detection and masking.**

Patent Number: ☐ [EP0537899](#), [B1](#)  
Publication date: 1993-04-21  
Inventor(s): CHEN SUN-DEN (US)  
Applicant(s): SUN MICROSYSTEMS INC (US)  
Requested Patent: ☐ [JP6236329](#)  
Application: EP19920308379 19920915  
Priority Number(s): US19910766835 19910927  
IPC Classification: G06F9/46; G06F13/362  
EC Classification: [G06F9/46R2D](#), [G06F13/362](#)  
Equivalents: DE69230428D, DE69230428T, JP3323947B2,  
Cited Documents: [US4868741](#); [EP0150767](#); [EP0404413](#); [EP0181007](#)

---

**Abstract**

---

Deadlock detection and masking systems are incorporated into a bus coupler intercoupling at least two buses, wherein at least one master is coupled to each bus and at least one slave is coupled to at least one of the buses. The bus coupler also includes an arbiter coupled to the buses to determine which master may control each bus. The deadlock detection system detects a potential arbitration deadlock condition between two master devices seeking control of a bus and access to a slave. Once a potential arbitration deadlock is detected, the masking system is activated to prohibit the second master from gaining control of the second bus for a random period of time. The random time delay acts as a mask to provide the first master device an opportunity to reaccess the slave device and avoid the deadlock situation. By providing a random masking period complementary, synchronized arbitration deadlocks are avoided. 

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-236329

(43) 公開日 平成6年(1994)8月23日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/00	3 0 1 E	7368-5B		
11/30	3 0 5 G	9290-5B		
13/362	5 1 0 A	9072-5B		
	5 2 0 C	9072-5B		
15/16	4 7 0 A	9190-5L		

審査請求 未請求 請求項の数 3 F D (全 8 頁)

(21) 出願番号 特願平4-281112

(22) 出願日 平成4年(1992)9月28日

(31) 優先権主張番号 7 6 6 8 3 5

(32) 優先日 1991年9月27日

(33) 優先権主張国 米国 (US)

(71) 出願人 591064003  
サン・マイクロシステムズ・インコーポレ  
ーテッド  
SUN MICROSYSTEMS, IN  
CORPORATED  
アメリカ合衆国 94043 カリフォルニア  
州・マウンテンビュー・ガルシア アヴェ  
ニュー・2550

(72) 発明者 サン・デン・チェン  
アメリカ合衆国 95120 カリフォルニア  
州・サン ホゼ・キャスウッド コート・  
741

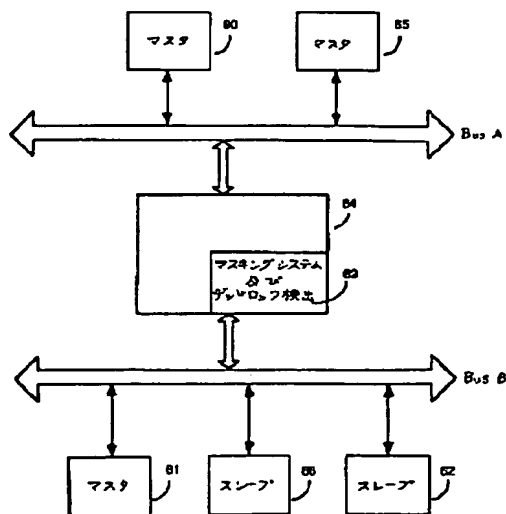
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 デッドロック検出およびマスキング装置

(57) 【要約】

【目的】 マスタ間で相補的同期タイミングのデッドロック状態が生じるのを阻止する。

【構成】 少なくとも2つのバスを相互接続するバス・カプラは、バスの制御とスレーブのアクセスを求めている2つのマスタ間での潜在的仲裁・デッドロック状態を検出するデッドロック検出およびマスキング・システムを内蔵している。少なくとも1つのマスタは各バスに接続し、少なくとも1つのスレーブは少なくとも1つのバスに接続している。バス・カプラは、どのマスタが各バスを制御できるかを決定する、バスに接続したアービタを含んでいる。



1

## 【特許請求の範囲】

【請求項1】 少なくとも1つの第1バス・マスタを接続した第1バスと、少なくとも1つの第2バス・マスタと少なくとも1つのスレーブとを接続した第2バスとの間に接続したバス・カブラを含んでいるデータ処理装置におけるデッドロック検出およびマスキング装置において、

クリヤ・マスキング信号を発生するカウンタ装置と、上記バス・カブラと上記カウンタ装置とに接続し、上記第2バスの制御を求める上記第1バス・マスタと上記第2バス・マスタとの間の仲裁デッドロックを検出する検出装置と、

上記検出装置と上記第2バスとに接続され、上記第2バス・マスタからのバス要求信号をマスクするマスキング装置と、

から成り、上記マスキング装置は、上記第2バスの制御を試みている上記第1および第2バス・マスタからのバス要求信号を受信し、さらに、その信号を受信して、ランダム期間上記バス・マスタからの上記バス要求信号をマスクすることを特徴とするデッドロック検出およびマスキング装置。

【請求項2】 少なくとも1つの第1バス・マスタを接続した第1バスと、少なくとも1つの第2バス・マスタと少なくとも1つのスレーブとを接続した第2バスとの間に接続したバス・カブラを含んでいるデータ処理装置におけるデッドロック検出およびマスキング装置において、

上記バス・カブラからの複数のインターナル・ステート信号とクリヤ・マスク信号とを受信するよう接続され、出力要求マスク信号を発生し、かつ上記第1および第2バス・マスタ間の仲裁デッドロックを検出するデッドロック検出およびマスク・ジェネレータ装置と、

上記デッドロック検出およびマスク・ジェネレータ装置に接続され、上記カウンタ装置がリセットすると、上記クリヤ・マスキング信号を発生するカウンタ装置と、

上記バス要求信号と上記要求マスク信号を受信するよう接続され、複数の出力マスク要求を発生し、複数のバス要求信号を優先順位付けする優先解決およびマスキング装置と、

上記優先解決およびマスキング装置に接続し、複数のバス・グラント信号を発生しかつ上記マスク要求を受信する仲裁状態マシンおよびグラント・ジェネレータ装置と、

上記仲裁状態マシンおよびグラント・ジェネレータ装置と上記優先解決およびマスキング装置とに接続し、上記バス・グラント信号の1つを受信しかつ出力ネクスト・プライオリティ信号を発生する優先レジスタと、

から成ることを特徴とするデッドロック検出およびマスキング装置。

【請求項3】 少なくとも1つの第1バス・マスタを接

2

続した第1バスと、少なくとも1つの第2バス・マスタと少なくとも1つのスレーブとを接続した第2バスとの間に接続したバス・カブラを含んでいるデータ処理装置におけるデッドロック検出およびマスキング方法において、

ゼロから最大値までインクリメントし、上記最大値までインクリメントした後ゼロにリセットするカウンタ装置を供給する過程と、

上記第2バスの制御を試みる上記第1および第2バス・マスタからの複数のバス要求信号を受信する過程と、

上記バス・カブラと上記バスとに接続し、上記第2バスの制御を求める上記第1および第2バス・マスタ間の仲裁デッドロックを検出する検出装置を提供する過程と、上記仲裁デッドロックを検出すると要求マスク信号を供給する過程と、

上記第2バス・マスタからの上記バス要求信号をマスキングする過程と、

から成ることを特徴とするデッドロック検出およびマスキング方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、コンピュータ・システムにおけるバス仲裁の分野に関する。更に詳しくは、本発明は、複数のマスタから実質的に同時に発生されたバス制御要求により作り出された仲裁デッドロック状態を検出し、かつ解決するための機構を内蔵するバス仲裁アーキテクチャに関する。

【0002】

【従来の技術】 コンピュータ・システムにおいて、共用リソースは、通常、データを転送するのに使用される。一般に使用されている共用リソースの1つに、コンピュータ・システムにおけるサブシステム（たとえば、プロセッサ）間の通信リンクとして働くバスがある。一般に、バスには多くのデバイスが接続し、あるデバイスは、同じバスに接続した他のデバイスに制御信号またはデータを送信することができる。バス通信においては、データが歪んでしまうという理由で、2つ以上のデバイスが同時に同じバスにデータを転送することができないという共通した問題点がある。したがって、バスにおけるデータ・トランザクションの順序を保持するため、あるデバイスは、そのトランザクションのためのスレーブとして動作するいくつかの他のデバイスに対しての読出しまたは書き込みトランザクションを開始するバス・マスタとして割当てられる。どのマスタがバスの制御を受けるのかを決定し、かつバスの制御を求めているマスタの優先順位を決定するのにアービタが使用される。アービタには、通常、直列と並列の2種類がある。バス・アービタに関する情報は、たとえば、ステイブリングスによる「コンピュータ編成およびアーキテクチャ」（1990年）における第84～90頁に記載され

ている。

【0003】さらに複雑なコンピュータ・システムは、多くのバスと、各バスに接続した多くのマスタを備えている。このような多重バス、多重マスタ・コンピュータ・システムでは、あるマスタは、第1バスのスレーブに対してのデータ転送動作を開始し、一方、他のマスタは第2バスの第2スレーブにデータを転送することがある。通常、バス・カブラは、バス間でのデータおよび制御信号のルーティングを助け、かつどのマスタがどのバスを制御すべきかを決定するのに使用される。カブラは、少なくとも1つのバス・プロトコル・ユニットと、データ変換およびバッファリング・デバイスと、少なくとも1つのバス・アービタとを含んでいる。バス・プロトコルは、バス制御信号を処理するインタフェイスにより実行される。マスタはあるデータ速度で、あるバスからデータを送信し、かつ他のバスのスレーブは別のデータ速度でデータを受信するので、データ変換およびバッファリング・デバイスは、データが適切なデータ速度で受信されかつ送信されるようにする。バス・アービタは、そのバスのマスタに関する時間を割当て、それと同時に、あるマスタにバス制御を許可する。

【0004】図1は多重バス・システムを示している。図1における多重バス・システムはバス・カブラ56により相互接続された2つのバス51、57を含んでいる。マスタ50、52はバス51に接続され、一方、バス57にはマスタ58とスレーブ55、59とが相互接続されている。図1に示された多重バス・システムにおいては、2つの異なるバスに接続した2つのマスタが同じスレーブをアクセスしようとした場合に、「ライブ」な、すなわち継続的な仲裁デッドロック状態が起きる。すなわち、2つの異なるバスの制御を求めている2つのマスタは、各バスのアービタに対して、継続的、すなわち「ライブ」なデッドロック状態を作り出す。したがって、マスタが相補的同期方式で目標のスレーブと接続しているバスを要求すると、バス・カブラ56は両方のマスタによる目標のスレーブのアクセスを否定する。たとえば、バス51に接続したマスタ50は、スレーブ59をアクセスして読出しまたは書き込みトランザクションを開始するため、バス51、57を制御するとする。スレーブ59は、読出しまたは書き込みトランザクションを実行する一方、そのトランザクションが長引き所定の時間を超えた場合、マスタ50に「放棄および再試行」信号を発する。スレーブ59から「放棄および再試行」信号が発生されると、マスタ50はアクセス路から一時的に切り離される。すなわち、マスタ50はバス51、57の制御から解除され、その後、スレーブ59へのアクセスを再び試みることになる。したがって、その間、すなわちスレーブ59が「バックグラウンド」で割り当てられたトランザクションを完了する間、両方のバス51、57は使用されていないので、別のデバイスがバスを

介して通信することができる。たとえば、スレーブ59が割り当てられたトランザクションでビジーである間、マスタ52はスレーブ55をアクセスすることができない。また、バス・カブラ56は、マスタ50が、スレーブ59を再び選択することができる唯一のデバイスであると指定する。そのため、マスタ50がスレーブ59を再アクセスする前に、他のどのマスタもスレーブ59をアクセスすることはできない。しかし、マスタ50がスレーブ59のアクセスを再試行する機会を得る前に、マスタ58は、バス57の制御を得、スレーブ59に関するトランザクションを開始するよう試みることがある。しかし、スレーブ59はマスタ50に割り当てられているので、バス・カブラ56はマスタ58のアクセスを否定し、バス・カブラ56は、発生された「放棄および再試行」信号による懸案処理の放棄および再試行「状態」を「クリヤ」するため、マスタ50によるアクセスのみを許可する。

【0005】マスタ50がスレーブ59をアクセスするプロセスを再開すると、バス57のアービタは、マスタ58がバス57を現在使用中なので、マスタ50がバス57の制御を得るのを再び否定する。マスタ50は、バス57のアービタにより「バックオフ」し、すなわちバス57の制御要求を停止し、その後、バス57の制御を得るため再試行するよう命令される。さらに、たとえバス57のアービタがマスタ58によるバス57の制御を許可したとしても、スレーブ59がマスタ50に「放棄および再試行」信号を既に発生しているため、マスタ58は、スレーブ59をアクセスすることはできない。前述したように、バス・カブラ56は、スレーブ59から発せられた放棄および再試行信号をクリヤする、マスタ50からのアクセス要求を受け入れるだけである。このように、マスタ58は、スレーブ59から「バックオフ」するよう、すなわちスレーブ59へのアクセス要求を停止し、かつマスタ50がスレーブ59をアクセスし終るまで待機するよう命令される。したがって、マスタ50、58の両方が同時にバス57の制御を求めかつスレーブ59をアクセスすると、「ライブ」なデッドロック状態が生じ、マスタ50、58とも、バックオフしかつ後に再び試みることを命じられる。

【0006】

【発明が解決しようとする課題】本発明の目的は、複数のマスタから発せられた実質的に同時のバス制御要求により作り出され仲裁デッドロック状態を検出し、それを解決する装置を提供することである。

【0007】

【課題を解決するための手段】本発明は、多重バス、多重マスタ・コンピュータ・システムにおけるデッドロック状態を検出しかつ解決する方法および装置を提供する。本実施例において、デッドロック検出システムおよびマスキング・システムは、少なくとも2つのバスを接

5

統するバス・カブラに設けられている。少なくとも1つのマスタは、各バスに接続され、少なくとも1つのスレーブは、バスの少なくとも1つに接続されている。バス・カブラは、どのマスタがバスを制御するかを決定する、各バスに接続したアービタを含んでいる。デッドロック検出システムは、スレーブによるタスクを受け入れた後に放棄および再試行信号に従ってスレーブおよびバスから切り離されたマスタを含んでいる2つのマスタの間でのバス制御に関する潜在的仲裁デッドロックを検出する。一旦、デッドロック検出システムが起り得るデッドロックを検出すると、バス・カブラに含まれているマスキング・システムは、ランダム期間、第2マスタのバス要求をマスクすることによって、第2マスタが第2バスの制御を得ることを阻止する。ランダム期間マスクすることにより、第1マスタは、バスを制御しかつスレーブをアクセスする機会を得て、懸案処理の放棄および再試行状態をクリアする。ランダム・マスキング期間を設けることにより、第1および第2マスタ間の継続的デッドロック状態の相補的同期タイミングは避けられる。このランダム・マスキング期間は、マスキング・システムに設けられたカウンタの残余カウンタに基いていることが望ましい。

【0008】

【実施例】以下、多重バス・コンピュータ・システムに適用されるデッドロック検出、およびマスキングを内蔵しているバス仲裁アーキテクチャの実施例について説明する。以下の説明において、特定の数値、時間、アーキテクチャ等は本発明の理解を助けるためであって、本発明はこれら特定の記載には限定されないことは当業者には明白であろう。また、周知の回路やデバイスについては、本発明を不明瞭にしないようブロックで示している。さらに、本発明のデッドロック検出およびマスキング・システムは、別のアービタや別のバス・システムにも適用できることは当業者には明白であろう。

【0009】図2は、多重バス・システムに適用される本発明の概要を示したブロック図である。マスタ60、65はバスAに接続され、マスタ61とスレーブ62、66とはバスBに接続されている。バスAおよびバスBは両方とも、バス・カブラ64を介して相互接続している。バス・カブラ64は、デッドロック検出およびマスキング・ブロック63を内蔵している。バス・カブラ64は、どのマスタが各バスを制御するかを決定する、各バスに接続したアービタをも含んでいる。本発明のシステムにおいて、デッドロック検出およびマスキング・ブロック63は、1つのバスに接続した1つのスレーブの制御を求めている、異なるバスに接続した2つのマスタ間に潜在的仲裁デッドロック状態が生じるたびに検出する。図2に示すように、第1バス（バスA）に接続した第1マスタ（マスタ60または65）が、第2バス（バスB）のスレーブ（スレーブ62または66）をア

6

クセスするよう試みる時、バスの制御に関する潜在的仲裁デッドロックが起きる。この時、第1マスタはスレーブから「放棄および再試行」信号を受け取っているが、第2バスのアービタが、同じスレーブをアクセスするよう試みている第2バスに接続した第2マスタ（マスタ61）に対して第2バスの制御を許可し続けているので、第1マスタはスレーブを再アクセスできない。マスタが、スレーブから発せられる「放棄および再試行」信号に従ってバスから切り離される場合、切り離しは、2つの形態、「ステートレス」と「ステートフル」の一方をとる。本発明は、発明の名称「多重プロセッサ・コンピュータ・システムにおけるデータ・インコヒレンスを阻止するバス・バス・インタフェース」の米国特許願に述べられている放棄および再試行機構を内蔵している。

【0010】一旦、デッドロック検出およびマスキング・ブロック63が潜在的仲裁デッドロックを検出すると、デッドロック検出およびマスキング・ブロック63におけるマスキング・システムは、ランダム期間、第2マスタが第2バスの制御を受けるのを禁止し、それによって、バスおよびスレーブをアクセスし、その後懸案の処理の放棄および再試行信号をクリアする機会を第1マスタに与える。ランダム・マスキング期間を与えることにより、第1および第2マスタ間での仲裁デッドロック状態の相補的同期タイミングが避けられる。ランダム・マスキング期間は、マスキング・システムにおけるカウンタの残余カウンタに基いていることが望ましい。本発明のランダム・マスキング・システムは、マスキング期間がランダムで、特定の時間に固定されていない。したがって、マルチプル・タイプのマスタに適している。マスタがスレーブから放棄および再試行「状態」をクリアするのに要する時間は、マスタが、「放棄および再試行」信号を発しているスレーブをいかに速く再アクセスできるかによって決まる。したがって、固定マスキング期間はスレーブが処理し得るマスタの有効範囲を制限し、バスに接続したマルチプル・タイプのマスタには適していない。たとえば、懸案処理の放棄および再試行「状態」をクリアするのに250ナノ秒要するマスタは、200ナノ秒の固定マスキング期間を処理することはできない。250ナノ秒を要するマスタは、マスキング期間中に割当てられた200ナノ秒内でスレーブを再アクセスすることができないので、200ナノ秒後にも、2つのマスタ間にデッドロックが依然存在していることになる。

【0011】図3は、デッドロック検出およびマスキング・ブロック63の詳細を示している。デッドロック検出およびマスク・ジェネレータ・ブロック71は、2つのマスタ間で潜在的デッドロック状況が生じていることを示す多くのinternal\_state信号を受信する。internal\_state信号を受信すると、デッドロック検出およびマスク・ジェネレータ・ブロック71は、あるマスタからの

7

バス要求信号をマスク・アウトするマスキング・プロセスを開始させる「req\_mask」信号を発生する。5ビット自走カウンタ70は、ゼロから最大計数値まで1クロック・サイクル当り1インクリメントずつ、単一インクリメントでカウントする。最大計数値は任意であるが、アクセスしているマスタ間での「ランダム化」が十分に可能なだけの計数であることが望ましい。カウンタ70が最大計数値に到達すると、カウンタはゼロにリセットし、最大計数値まで再びカウントし始める。カウンタ70がゼロにリセットすると、カウンタはマスキング・ブ

10 ロセスを終了させる「clr\_mask」信号を発生する。clr\_maskは、デッドロック検出およびマスク・ジェネレータ・ブロック71に送られる。

【0012】優先解決およびマスキング・ブロック72は、デッドロック検出およびマスク・ジェネレータ・ブロック71からのreq\_mask信号を受け取る。さらに、優先解決およびマスキング・ブロック72は、第2バス（バスB）に接続したマスタからのbus\_requests信号とbusB\_request\_enables信号と、第1バス（バスA）に接続したマスタからのbusA\_request信号を受信する。さらに、優先解決およびマスキング・ブロック72は、様々な入力信号「req\_mask」、「busA\_requests」、「busB\_requests」信号、「busB\_requests\_enable」、「next\_p

priority」を受信する。「busA\_requests」信号は、バスBの制御を要求している、バスAに接続したマスタにより発せられたバス要求信号である。「busB\_requests」信号は、バスBの制御を要求している、バスBに接続したマスタによる要求信号である。「busB\_requests\_enables」信号は、バスBに接続したマスタから受信した、バスBの制御を求めるバス要求信号を仲裁状態マシンおよびグラント（許可）ジェネレータ・ブロック73に送るべきかどうかを示している。「next\_priority」信号は、どのマスタが次のバス・サイクルでバスBを制御するかを示している。アサートされた「req\_mask」信号により、優先解決およびマスキング・ブロック72は、全ての「busB\_requests」信号をマスクし、バスBの制御の優先権をバスAのマスタに許可する「requests」信号を発生する。優先解決およびマスキング・ブロック72は、どのマスタが次のバス・サイクルにおいて第2バスを制御できるかを示す「priority」信号（next

priority）をさらに受信する。要求マスク信号を受信すると、優先解決およびマスキング・ブロック72は、第2バスに接続したマスタからの、第2バスの制御を求める全ての要求をマスク・アウトし、バスAのマスタに第2バスの制御の優先権を許可する要求信号を発生する。

【0013】仲裁状態マシンおよびグラント・ジェネレータ・ブロック73は、懸案のバス要求信号を裁定する第2バスのアービタとして動作する。仲裁状態マシンおよびグラント・ジェネレータ・ブロック73は、2種類

8

の入力、すなわち優先解決およびマスキング・ブロック72からの要求信号と、バス・サイクルの終了を示すend\_arbitration信号とを受信する。さらに、仲裁状態マシンおよびグラント・ジェネレータ・ブロック73は、2種類の出力信号、すなわち優先解決およびマスキング・ブロック72により決定された最も高い優先順位を有するマスタにバスの制御を許可するbus\_grants信号と、バスの制御を許可されたマスタを識別するcurrent\_grants信号を発生する。優先レジスタ74は、仲裁状態マシンおよびグラント・ジェネレータ・ブロック73によりバスの制御を許可されたマスタを識別するcurrent\_grants信号を受信する。続いて、優先レジスタ74は、次のバス・サイクルを開始する第2バスをどのマスタが制御するかを示しているnext\_priority信号を発生する。

【0014】図3において、「internal\_state」信号は、スレープから発せられた放棄および再試行命令の発生を機能上モニタし、かつ2つのマスタ間の潜在的デッドロック状態を表示する。デッドロック検出およびマスク・ジェネレータ・ブロック71は、アサートされた「internal\_state1」信号を受信すると、マスキング・プロセスを開始する「req\_mask」信号を発生し、かつマスキング・プロセスを停止させるカウンタ70からの「clr\_mask」信号を受信するまで、その信号を発生し続ける。カウンタ70は、最大計数値に到達すると「clr\_mask」信号を発生し、その後ゼロにリセットする。仲裁状態マシンおよびグラント・ジェネレータ・ブロック73は、優先解決およびマスキング・ブロック72からの「requests」信号を受信し、その後、優先解決およびマスキング・ブロック72により優先権を許可されたマスタにバスBの制御を与える「bus\_grant」信号を発生する。仲裁状態マシンおよびグラント・ジェネレータ・ブロック73は、ブロック73が、バス・サイクルの終了を示すend\_arbitration信号を受信するまで、「bus\_grant」信号をアサートしたままにする。さらに、仲裁状態マシンおよびグラント・ジェネレータ・ブロック73は、「bus\_grant」信号により、どのマスタがバスBの制御を与えられたかを示す「current\_grant」信号を発生する。「current\_grant」信号は、その後、次のバス・サイクルにおいてバスBの制御を次に得るマスタを識別する「next\_priority」信号を発生する優先レジスタ74に送られる。

【0015】図2の実施例において示したように、マスタ60は、スレープ62をアクセスするようバスAおよびバスBを制御する。スレープ62がビジーの場合、すなわちスレープがタスクを完了する時間が所定の期間を超えた場合、スレープ62はマスタ60に「放棄および再試行」信号を発生する。バス・カブラ64は、放棄および再試行信号の発生をモニタし、かつ「internal\_state」信号（図3）を発生することにより、起こり得るデッドロック状態を表示する。バス・カブラ64が、起

こり得るデッドロック状態を表わす「internal\_state」信号をアサートすると、デッドロック検出およびマスキング・システム63は、カウンタ70に従ってランダム期間マスタ61によりアサートされたバスBのバス要求をマスクし、それにより、懸案処理の放棄および再試行「状態」をクリヤするようスレーブ62を再アクセスする機会をマスタ60に与える。したがって、マスタ60、61による相補的同期アクセスの試みに対してランダム時間のマスクを行なうことによって、スレーブ62およびバスBの制御を求めているマスタ60とマスタ61間の仲裁デッドロック状態は、最初に避けられる。図4は、様々なシステム信号と、カウンタ70によるマスキング期間との間の関係を示したタイミング図である。

「internal\_state」信号は、デッドロック検出およびマスク・ジェネレータ・ブロック71（図3）における潜在的仲裁デッドロック状態の存在を示す「req\_mask」信号をトリガする。前述したように、「clr\_mask」信号は、カウンタ70がゼロにリセットした時、カウンタ70（図3）により発生される。バス要求信号がマスクされている期間は、「req\_mask」信号が、「internal\_state」信号を受信したデッドロック検出およびマスク・ジェネレータ・ブロック71によりトリガされた時から、「clr\_mask」信号を受信したデッドロック検出およびマスク・ジェネレータ・ブロック71により「req\_mask」信号が除去されるまでの期間である。以上のように、本発明は、デッドロック検出およびマスキング装置を内蔵しているバス仲裁アーキテクチャを提供する。なお、本発明は、本発明の思想から離れることなく様々な改変し得ることは、当業者には明白であろう。

【0016】

【発明の効果】本発明のデッドロック検出およびマスキング・システムにおいては、ランダム・マスキング期間

を設けることにより、第1および第2マスタ間の相補的同期タイミングの継続的デッドロック状態をなくすることができる。

【図面の簡単な説明】

【図1】バス・カブラに接続した従来の多重バス・システムのブロック図である。

【図2】多重バス・システムに接続したデッドロック検出およびマスキング・システムのブロック図である。

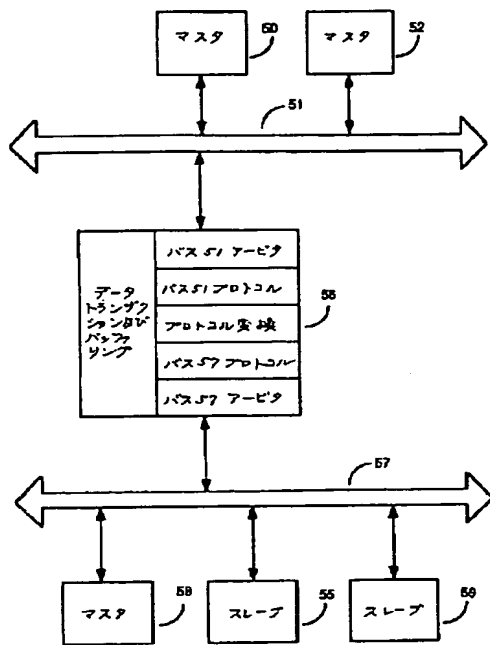
10 【図3】デッドロック検出およびマスキング・システムの詳細を示したブロック図である。

【図4】マスキング・システムのランダム・マスキング期間を示したタイミング図である。

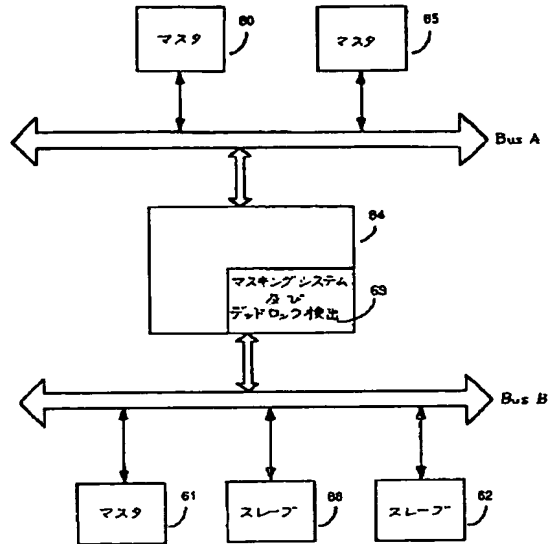
【符号の説明】

50	マスタ
51	第1バス
52	マスタ
55	スレーブ
56	バス・カブラ
57	第2バス
20 59	スレーブ
60	マスタ
61	マスタ
62	スレーブ
63	デッドロック検出およびマスキング・ブロック
64	バス・カブラ
65	マスタ
66	スレーブ
70	自走カウンタ
71	デッドロック検出およびマスク・ジェネレータ
30 72	優先解決およびマスキング・ブロック
73	仲裁状態マシンおよびgrant・ジェネレータ
74	優先レジスタ

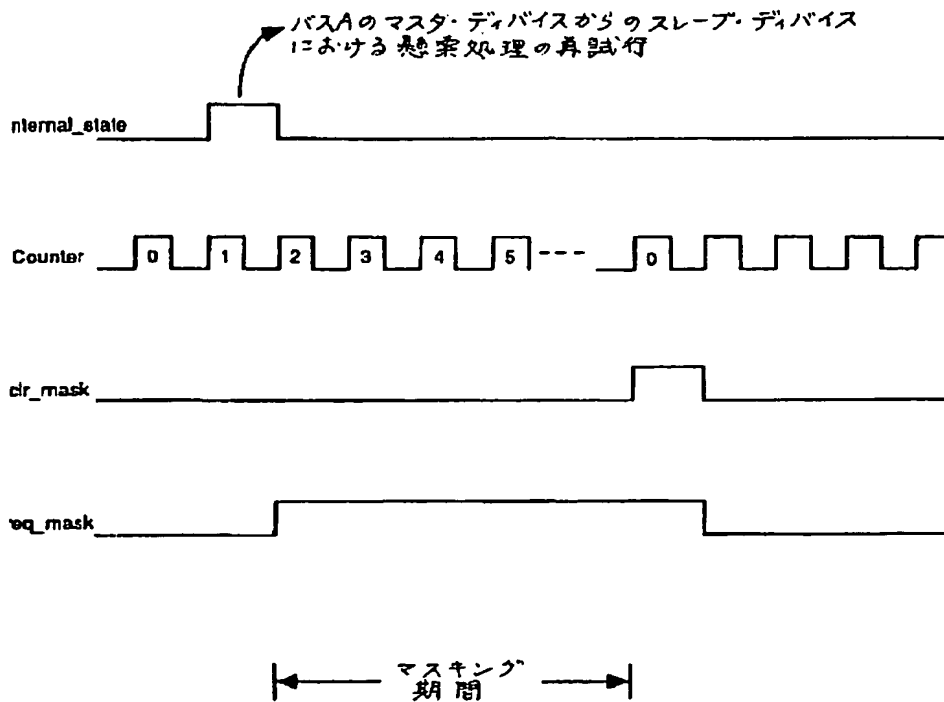
【図1】



【図2】



【図4】



【図3】

